

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93308

(43) 公開日 平成10年(1998) 4月10日

(51) IntCl.⁶
H 0 1 P 1/383
1/36

識別記号

F I
H 0 1 P 1/383
1/36 A
A

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平8-294088

(22) 出願日 平成8年(1996)11月6日

(31) 優先権主張番号 特願平8-197702

(32) 優先日 平8(1996)7月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 牧野 敏弘

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 川浪 崇

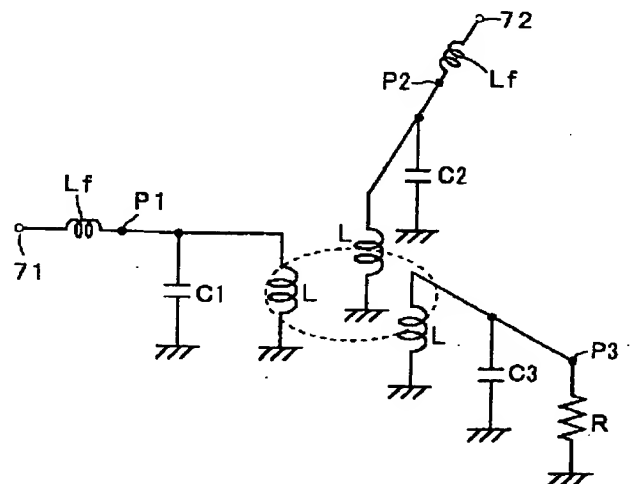
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(54) 【発明の名称】 非可逆回路素子

(57) 【要約】

【課題】帯域外での減衰量を大きくすることができるとともに実装強度の向上を図ることができ、また入出力インピーダンスを容易に所望の値に変換、設定することができ、よって、小型化、低価格化に貢献できる非可逆回路素子を提供する。

【解決手段】アイソレータの3つの中心導体のそれぞれの先端部にあたるポートP1～P3に整合容量C1～C3が接続され、1つのポートP3には終端抵抗Rが接続され、2つのポートP1、P2と信号の入出力端となる入出力端子71、72との間にはそれぞれインダクタンスLfが接続されている。



【特許請求の範囲】

【請求項 1】 直流磁界が印加される磁性体に複数の中心導体を互いに交差させるように配置し、各中心導体のポートとアース間に整合容量を接続してなる非可逆回路素子において、

前記中心導体の少なくとも 1 つのポートと該ポートに対応する信号入出力端との間にインダクタンスが接続されていることを特徴とする非可逆回路素子。

【請求項 2】 前記インダクタンスと前記整合容量とこの非可逆回路素子が実装される実装基板の入出力伝送線の電極分布容量とで低域通過フィルタが形成されていることを特徴とする請求項 1 に記載の非可逆回路素子。

【請求項 3】 非可逆回路素子の入出力インピーダンスが所望の値となるように、前記インダクタンスまたは前記整合容量の値が設定されていることを特徴とする請求項 1 または請求項 2 に記載の非可逆回路素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロ波帯等の高周波帯域で使用される非可逆回路素子、例えば、アイソレータ、サーキュレータに関し、特に移動通信機器に使用する場合の小型化、低価格化に対応できる非可逆回路素子に関する。

【0002】

【従来の技術】一般に、集中定数型のアイソレータ、サーキュレータ等の非可逆回路素子は、信号の伝送方向には減衰量が極めて小さく、逆方向には極めて大きい特性を有している。

【0003】この種のアイソレータとして、従来、例えば図 7 に示すような構造のものがある。このアイソレータは、主として上ヨーク 2 と下ヨーク 8 とで構成される磁気閉回路内に、永久磁石 3、3 本の中心導体 5 1、5 2、5 3 及びフェライト 5 4 とからなる磁性組立体 5、及び樹脂ケース 7 を配設した構造のものである。上記中心導体 5 1、5 2 のポート部 P 1、P 2 は、上記樹脂ケース 7 に形成された入出力端子 7 1、7 2 及び整合用コンデンサ C o、C o に接続され、中心導体 5 3 のポート部 P 3 は整合用コンデンサ C o 及び終端抵抗 R に接続され、各コンデンサ C o 及び終端抵抗 R の一端はアース端子 7 3、7 3 に接続されている。

【0004】図 8 はこのアイソレータの等価回路図である。図 8 に示すように、従来のアイソレータは、中心導体 5 1、5 2、5 3 の先端部にあたるポート P 1、P 2、P 3 に整合回路としてそれぞれ整合容量 C o が接続され、1 つのポート P 3 に終端抵抗 R を接続して構成されている。なお、各インダクタンス L はフェライト 5 4 と中心導体 5 1、5 2、5 3 とにより形成される等価的なインダクタンスである。

【0005】そして、このアイソレータは、携帯電話、自動車電話等の移動通信機器のアンテナ共用回路の送受

信回路部に採用され、図 9 に示すように、表面に入出力用の伝送線路 1 1、1 2 及びアース電極 1 3 が形成され、裏面の略全面にアース電極が形成された実装基板 1 0 に表面実装されて使用される。

【0006】

【発明が解決しようとする課題】一般的に、このような通信機器に組み込まれる増幅器には非直線性が存在しており、これが不要輻射、つまりスプリアス（基本波の整数倍、特に 2 倍波、3 倍波）の発生原因となっている。この不要輻射は、混信や他の通信機器の電力増幅部の異常動作の要因となることから、一定のレベル以下にすることが規格化されている。

【0007】また、アイソレータはその伝送方向の特性としてバンドパスフィルタの機能を有しており、このため通過帯域より離れた周波数帯域では伝送方向でも減衰量が大いという特性を有している。しかし、アイソレータは元来帯域外の減衰を得るためのものではなく、上記従来のアイソレータでは不要輻射の周波数帯域（特に、基本波の 2 倍波、3 倍波）で所望の減衰量を得ることはできない。このため、この種の従来の通信機器においては、別途フィルタ等を用いて不要輻射を減衰させる方法が採用されている。

【0008】すなわち、上記従来のアイソレータを用いた場合、上記のように、不要輻射防止用のフィルタが必要であり、このフィルタの分だけ部品コストが上昇するとともに大型化するという問題があり、小型化、低価格化に対する要請に対応できないという問題があった。

【0009】また、一般的に実装基板の入出力用の伝送線路の特性インピーダンスは 50 Ω となるように設定される。ところで、最近の小型化された通信機においては、厚み 0.1 ~ 0.5 mm の非常に薄型の実装基板が用いられ、特性インピーダンスを 50 Ω とするために伝送線路の線路幅は 1 mm 未満となる。このような線路幅では十分なはんだ付け面積を確保することができないため、自動実装機による実装が難しく、十分な実装強度（はんだ付け強度）が得られないので、実際の実装基板 1 0 においては、図 9 に示すように、伝送線路 1 1、1 2 のアイソレータの入出力端子 7 1、7 2 とのはんだ付け部分には他の部位よりも幅の広いはんだ付けランド 1 1 a、1 2 a が設けられる。

【0010】このため、はんだ付けランド 1 1 a、1 2 a に寄生的に生じる電極分布容量 C p、C p により伝送線路 1 1、1 2 の特性インピーダンスが 50 Ω から大きくずれてアイソレータとのインピーダンスマッチングがとれず、アイソレータの動作中心周波数が下がってしまうという問題があった。この対策として、従来の通信機においては、アイソレータの動作中心周波数を高めに設定したものを用いる、あるいは実装基板 1 0 に電極分布容量 C p と動作中心周波数で並列共振するインダクタンスを形成して電極分布容量 C p を打ち消す等の繁雑でコ

ストのかかる方法が採用されている。すなわち、従来のアイソレータを用いた場合には、電極分布容量 C_p に応じた多様なアイソレータを作成する、あるいは実装基板10に電極分布容量 C_p を打ち消すためインダクタンスを形成する必要があった。

【0011】一方、アイソレータの入出力インピーダンス及び実装基板の伝送線路の特性インピーダンスは一般に 50Ω 前後であるものの、使用される増幅器や実装基板の配線パターンの条件により実装基板の特性インピーダンスが 50Ω とは異なる値に設定される場合があり、
10 アイソレータの入出力インピーダンスを 50Ω とは異なる値例えば 60Ω に設定して欲しいという要望がある。

【0012】しかしながら、上記従来のアイソレータにおいては、その入出力インピーダンスを変更するためには、中心導体や整合容量等の非可逆回路素子を構成する各部品の変更（再設計）が必要であり、入出力インピーダンスに応じた多種類の部品を必要とし、部品コスト、部品管理コスト、製造コストが高くなるという問題があった。

【0013】そこで、本発明の目的は、帯域外での減衰量を大きくすることができるとともに実装強度の向上を図ることができ、また入出力インピーダンスを容易に所望の値に変換、設定することができ、よって、小型化、低価格化に貢献できる非可逆回路素子を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、請求項1に係る発明は、直流磁界が印加される磁性体に複数の中心導体を互いに交差させるように配置し、各中心導体のポートとアース間に整合容量を接続してなる非可逆回路素子において、前記中心導体の少なくとも1つのポートと該ポートに対応する信号入出力端との間にインダクタンスが接続されていることを特徴とするものである。

【0015】請求項2に係る発明は、請求項1に記載の非可逆回路素子において、前記インダクタンスと前記整合容量とこの非可逆回路素子が実装される実装基板の入出力伝送線路の電極分布容量とで低域通過フィルタが形成されていることを特徴とするものである。

【0016】請求項3に係る発明は、請求項1または請求項2に記載の非可逆回路素子において、非可逆回路素子の入出力インピーダンスが所望の値となるように、前記インダクタンスまたは前記整合容量の値が設定されていることを特徴とするものである。

【0017】上記の構成によれば、非可逆回路素子の中心導体のポートと信号入出力端との間に接続されたインダクタンスと整合容量と実装基板の入出力伝送線路の電極分布容量とで低域通過フィルタが形成されるので、帯域外における減衰量を大幅に改善することができる。すなわち、非可逆回路素子に低域通過フィルタを構成する

インダクタンスを内蔵することにより、不要輻射を大幅に低減することができるので、不要輻射防止用の別のフィルタを不要とすることができる。

【0018】さらに、実装基板の伝送線路の電極分布容量を積極的に利用するので、この電極分布容量に応じて非可逆回路素子の中心周波数を設定する、あるいは実装基板に電極分布容量を打ち消すためのインダクタンスを形成する等の従来必要であった複雑な対策を不要とすることができる。また、上記電極分布容量を形成するはんだ付けランドを、実装が容易にできかつ十分な実装強度を得ることのできる面積とすることができ、信頼性の高い実装及び実装強度を得ることができる。

【0019】また、前記インピーダンスまたは前記整合容量の値を変えることにより、中心導体等の設計を変えずに、非可逆回路素子の入出力インピーダンスを容易に所望の値に変換、設定することができる。

【0020】

【発明の実施の形態】以下、本発明をその実施例を示す図面に基づいて説明する。

【0021】本発明の一実施例に係るアイソレータの構造、構成を図1～図3に示す。図1はアイソレータの分解斜視図、図2は磁性組立体、永久磁石及び上ヨークを除いた状態での平面図、図3は等価回路図である。なお、図1及び図2に示すコンデンサ、コイルは、それぞれ図3に示す整合容量、インダクタンスに対応するものであり、同一符号を記す。

【0022】本実施例のアイソレータは、図1及び図2に示すように、磁性体金属からなる箱状の上ヨーク2の内面に円板状の永久磁石3を配置するとともに、該上ヨーク2に同じく磁性体金属からなる概略コ字状の下ヨーク8を装着して磁気閉回路を形成し、下ヨーク8内の底面8a上には樹脂ケース7が配設され、該樹脂ケース7内には磁性組立体5、整合用コンデンサ $C1\sim C3$ 、終端抵抗 R 及びコイル L_f 、 L_f が配設されて構成されている。

【0023】上記磁性組立体5は、円板状のフェライト54の下面に3本の中心導体51～53のアース部を当接し、フェライト54の上面に3本の中心導体51～53を絶縁シート（不図示）を介在させて互いに 120° の角度をなすように折り曲げて配置し、該中心導体51～53の先端側のポート部 $P1\sim P3$ を外方に突出した構造のものであり、この磁性組立体5に上記永久磁石3により直流磁界を印加するように構成されている。

【0024】上記樹脂ケース7は、電気的絶縁部材からなり、矩形枠状の側壁7aに底壁7bを一体形成した構造のもので、入出力端子71、72及びアース端子73、73がその一部を樹脂内に埋設して設けられている。底壁7bの中央部には挿通孔7cが形成され、該挿通孔7c内には上記磁性組立体5が挿入配置されている。この磁性組立体5の下面の各中心導体51～53の

アース部は上記下ヨーク8の底面8aに接続されている。入出力端子71、72は樹脂ケース7の一方側両角部に配置され、アース端子73、73は他方側両角部に配置され、それぞれの一端側は底壁7bの上面に露出するように、他端側は底壁7bの下面及び側壁7aの外面に露出するように設けられている。

【0025】上記挿通孔7cの周縁にはそれぞれ整合用のチップコンデンサC1~C3、チップ終端抵抗R、及びコイルLf、Lfが配置されている。各コンデンサC1~C3の下面電極、及び終端抵抗Rの一端側の電極はそれぞれアース端子73、73に接続されている。各コンデンサC1~C3の上面電極にはそれぞれ各中心導体51~53のポート部P1~P3が接続され、終端抵抗Rの他端側はポート部P3に接続されている。

【0026】各コイルLfは、それぞれ一端側が中心導体51、52のポート部P1、P2に接続され、他端側が入出力端子71、72に接続されている。つまり、ポート部P1、P2はそれぞれコイルLfを介して入出力端子71、72に接続されている。

【0027】すなわち、本実施例のアイソレータは、図3の等価回路図に示すように、中心導体51、52、53の先端部にあたるポートP1~P3に整合容量C1~C3が接続され、1つのポートP3には終端抵抗Rが接続され、2つのポートP1、P2と信号の入出力端となる入出力端子71、72との間にはそれぞれインダクタンスLfが接続されて構成されている。そして、このアイソレータは、図9で説明した従来例と同様の実装基板10に表面実装されて使用される。

【0028】次に、本実施例のアイソレータの作用効果について説明する。図4及び図5は本実施例のアイソレータが実装基板10に実装された状態での等価回路図であり、図5は実装状態での作用（動作原理）を説明するための等価回路図である。

【0029】図4及び図5に示すように、本実施例のアイソレータが実装基板10に実装された状態（図9参照）では、実装基板10の伝送線路11、12のはんだ付けランド11a、12aに寄生的に生じる電極分布容量Cp、Cpがアイソレータの入出力端子71、72に接続された構成となる。

【0030】そして、図5に示すように、アイソレータの信号入出力部（ポートP1、P2側）にはインダクタンスLf、整合容量C1、C2の一部である容量Cf、及び実装基板10の電極分布容量Cpからなるπ型の低域通過フィルタLPFがそれぞれ形成されている。

【0031】つまり、本実施例のアイソレータの整合容量C1、C2は、アイソレータの整合回路として機能する整合用の容量Coと上記π型の低域通過フィルタLPFを形成する容量Cfとの並列容量で構成されている。すなわち、本実施例のアイソレータの整合容量C1、C2は、従来のアイソレータの整合容量Coに容量Cfを

付加した値に設定されている。本実施例のアイソレータは、略W7.0×L7.0×H2.5mmの超小型品であり、例えば、1.5GHz帯においては、容量Coは約5pF、容量Cfは約2pFに設定され、900MHz帯においては、容量Coは約10pF、容量Cfは約3pFに設定され、インダクタンスLfは2nH~3nH程度に設定される。

【0032】容量Cfは、通常、アイソレータの入出力インピーダンス（通常、50Ω）が変化しないように、電極分布容量Cpの容量値と同じ値になるように設定されるが、インダクタンスLf、容量Cf、電極分布容量Cpを適切な値に設定することにより、アイソレータの電気的特性を低下させることなくアイソレータの入出力インピーダンスを変更することができる。

【0033】例えば、インダクタンスLfの値を小さくし、容量Cf（すなわち整合容量C1またはC2）及び電極分布容量Cpをより小さく設定すれば、アイソレータの入出力インピーダンスを小さくすることができる。また、容量Cf及び電極分布容量Cpを変えずに、インダクタンスLfの値を大きく設定すれば、入出力インピーダンスを大きくすることができる。

【0034】上記のように、インダクタンスLf、容量Cf、電極分布容量Cpの値は、実装基板の厚み、使用周波数、電気的特性、負荷インピーダンス、実装強度等を考慮して適宜設定される。

【0035】図6は、本実施例のアイソレータと従来のアイソレータを実装基板に実装した状態での周波数特性を示す図であり、実線は本実施例による特性を示し、破線は従来の特性を示す。図6に示すように、本実施例のアイソレータを用いれば、従来のものに比べ、高周波帯側での減衰量が大幅に大きくなっていることがわかる。

【0036】以上のように、本実施例のアイソレータにおいては、ポートP1と入出力端子71との間、及びポートP2と入出力端子72との間には、それぞれインダクタンスLfが接続され、実装基板10に実装された状態で、各信号入出力部には、インダクタンスLfと整合容量C1（またはC2）と実装基板10の電極分布容量Cpとで低域通過フィルタLPFが形成されるので、図6に示すように、帯域外における減衰量は従来のものに比べ大幅に改善されたものとなる。

【0037】すなわち、本実施例のアイソレータには低域通過フィルタを構成するインダクタンスが内蔵されており、本実施例のアイソレータを用いれば、従来必要であった不要輻射防止用の別のフィルタを用いることなく、不要輻射を低減することができ、通信機器の小型化、低価格化に対応することができる。

【0038】さらに、実装基板10の伝送線路11、12のはんだ付けランド11a、12aに生じる電極分布容量Cpを低域通過フィルタLPFに利用するので、従来必要であった電極分布容量Cpの弊害を改善するため

の複雑な対策を不要とすることができるとともに、はんだ付けランド11a、12aを実装が容易にできかつ十分な実装強度を得ることのできる面積とすることができ、信頼性の高い実装及び実装強度を得ることができる。

【0039】また、インダクタンスL_fまたは容量C_fの値を変えることにより、アイソレータの入出力インピーダンスを容易に変えることができる。つまり、入出力インピーダンスを変更するために従来のもので必要であった多種多様な部品を用いることなく、インダクタンスL_fまたは整合容量C₁、C₂を変更するだけで容易に所望の入出力インピーダンスに変換することができる。

【0040】なお、上記実施例では、アイソレータの両方の信号入出力ポートP₁、P₂に低域通過フィルタLPFを構成するインダクタンスL_fを接続したもので説明したが、これに限るものではなく、信号入出力ポートP₁、P₂のいずれか一方のポートにのみ上記インダクタンスL_fを接続した構成であってもよい。

【0041】また、上記実施例では、アイソレータを例にとって説明したが、ポートP₃に終端抵抗Rを接続することなく、ポートP₃を第3の入出力部として構成したサーキュレータも本発明を適用することができる。

【0042】また、全体の構造も上記実施例の図1及び図2に示すものに限るものではなく、例えば、多層基板の内部に中心導体を形成した構造のものであってもよい。

【0043】また、上記実施例では、インダクタンスL_fとしてコイル部品を用いたもので説明したが、インダクタンスL_fの形成はこれに限るものではなく、例えば、中心導体の先端部に所定の値のインダクタンスを持つように、中心導体の先端部を屈曲させて形成してもよく、入出力端子が所定の値のインダクタンスを持つように形成してもよく、スペーサ等の他の部品を内蔵する場合にはこのスペーサ部材にインダクタンス電極を形成するようにしてもよい。

【0044】要するに、本発明は少なくとも1つの信号入出力部の中心導体のポートと信号入出力端との間に低域通過フィルタを構成するインダクタンスが接続されて構成されたことを特徴とするものであり、他の構成については特に限定するものではない。

【0045】

【発明の効果】以上説明したように、本発明に係る非可逆回路素子によれば、中心導体のポートと信号入出力端との間に接続されたインダクタンスと整合容量と実装基板の入出力伝送線路の電極分布容量とで低域通過フィルタが形成されるので、帯域外における減衰量を大幅に改善することができる。すなわち、非可逆回路素子に低域通過フィルタを構成するインダクタンスが内蔵されており、実装基板に実装するだけで不要輻射を大幅に低減することができるので、不要輻射防止用の別のフィルタを

不要とすることができる。

【0046】さらに、実装基板の伝送線路の電極分布容量を積極的に利用しており、従来必要であった電極分布容量の弊害を改善するための複雑な対策を不要とすることができるとともに、伝送線路のはんだ付けランドを実装が容易にできかつ十分な実装強度を得ることのできる面積とすることができ、信頼性の高い実装及び実装強度を得ることができる。

【0047】また、中心導体のポートと信号入出力端との間に接続されたインダクタンス、または整合容量の値を変えることにより、中心導体等の設計を変えることなく、非可逆回路素子の入出力インピーダンスを容易に所望の値に変換、設定することができる。

【0048】したがって、本発明の非可逆回路素子を用いれば、小型化、低価格化を図ることができるとともに、高性能で信頼性の高い通信機器を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るアイソレータの分解斜視図である。

【図2】本発明の一実施例に係るアイソレータの平面図である。

【図3】本発明に係るアイソレータの等価回路図である。

【図4】本発明に係るアイソレータの実装状態での等価回路図である。

【図5】本発明に係るアイソレータの実装状態での作用を説明するための等価回路図である。

【図6】本発明と従来のアイソレータの周波数特性図である。

【図7】従来のアイソレータの分解斜視図である。

【図8】従来のアイソレータの等価回路図である。

【図9】本発明及び従来のアイソレータの実装状態を示す斜視図である。

【符号の説明】

2	上ヨーク
3	永久磁石
5	磁性組立体
51～53	中心導体
54	フェライト
7	樹脂ケース
71、72	入出力端子
73	アース端子
8	下ヨーク
10	実装基板
11、12	伝送線路
11a、12a	はんだ付けランド
C1～C3	整合容量（コンデンサ）
R	終端抵抗
L _f	インダクタンス（コイル）

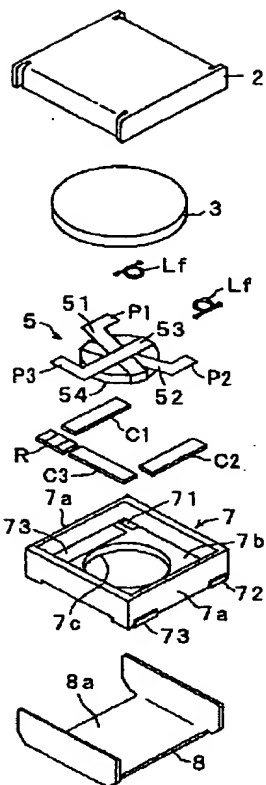
Cp

電極分布容量

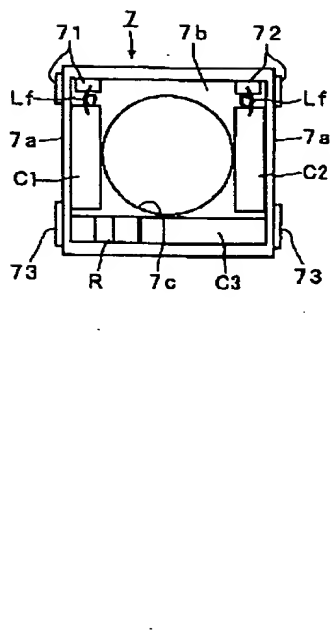
* * P1~P3

ポート (ポート部)

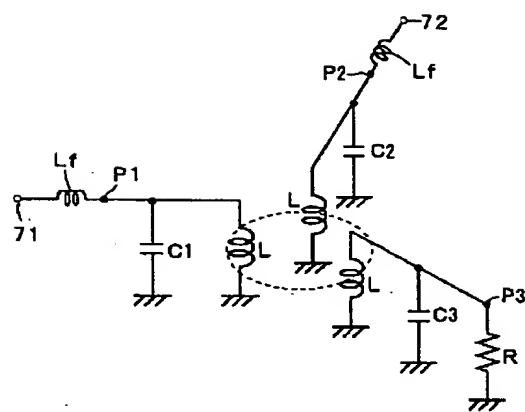
【図1】



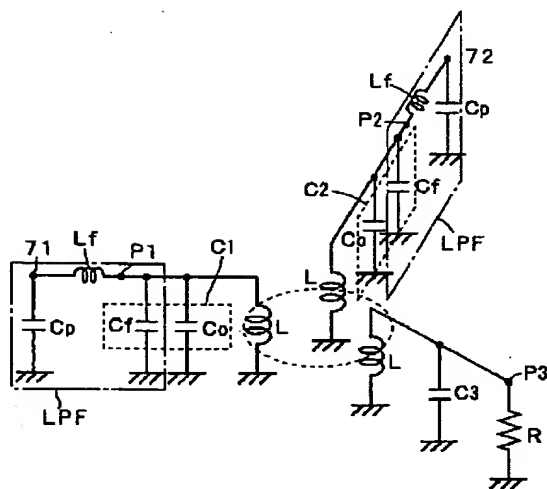
【図2】



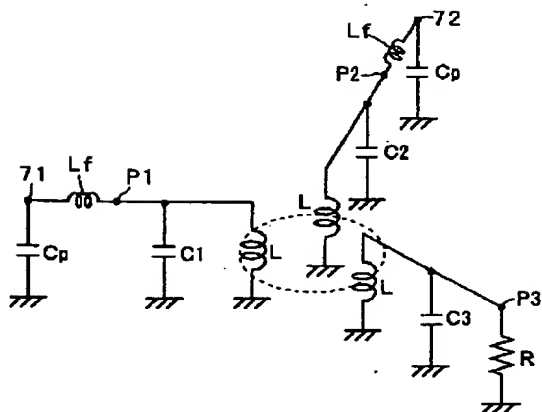
【図3】



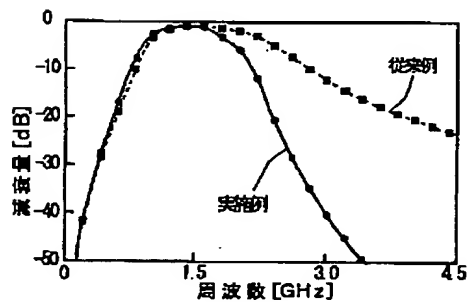
【図5】



【図4】



【図6】



【図9】

